

Japanese Utility Model Application Laid-Open Gazette

Utility Model Application Laid-Open No. H05-078041
Utility Model Application Laid-Open Date: October 22, 1993
Utility Model Application No. H04-016014
Utility Model Application Date: March 26, 1992
Applicant: YOKOKAWA DENKI K.K.
Creator: Takashi MATOBA

Title of Utility Model: Double Integral A/D Converter

[Abstract]

[Object]

It achieves high-speed and high-resolution A/D conversion.

[Constitution]

In an initial state, in a case where switches 24, 26 and 12 are ON, a capacitor 13 is discharged. Then, a switch 23 is turned ON and the switch 12 is turned OFF to perform integration of a strange input V_x . Next, the switch 23 is turned OFF and a switch 22 is turned ON to make an inverse integration time m times as much as a period T and count the value of m by an upper counter circuit 5a, whereby A/D converted upper bits can be obtained. Subsequently, the switches 24 and 26 are turned OFF and the switch 25 is turned ON to hold an output voltage V_a of an integrator 1 to a voltage maintenance capacitor 61 and connect a regular input of a comparator 4 to attenuators 71 and 72, whereby A/D converted lower bits can be obtained from a time until the output of the integrator 1 crosses the reference level. Thus, after the conversion of the upper bits, its error is subjected to the inverse integration, whereby the conversion time does not get longer even if the high-resolution conversion is achieved.

[Utility model registration claim]

[Claim 1] An integrator and the 1st switch which inputs reference voltage V_R into this integrator selectively, The 2nd switch which inputs the analog strange electrical potential difference V_X into said integrator selectively, The attenuator which the output V_a and reference voltage V_C of said integrator are inputted, and outputs $(V_a - V_C) / k + V_C$, The electrical-potential-difference cage which will hold the electrical potential difference in front of that if the output V_a of said integrator is inputted through the 3rd switch, input voltage is outputted when this 3rd switch is ON, and turned off, The comparator which compares said reference voltage V_C inputted through the output of this electrical-potential-difference cage, the output of said attenuator inputted through the 4th switch, and the 5th switch,

The switch control circuit which gives said control signal of the 1st - the 5th switch, The high order counter gate which the output of said comparator is inputted, and passes or intercepts a clock to the high order counter of a counter circuit, The double integral mold A/D converter characterized by considering as the configuration equipped with the low order counter gate which the output of said comparator is inputted, and passes or intercepts a clock to the low order counter of a counter circuit.

[Brief Description of the Drawings]

[Drawing 1] It is the block block diagram of the double integral mold A/D converter of this design.

[Drawing 2] It is the block diagram showing the example of drawing 1 equipment.

[Drawing 3] It is a wave form chart explaining actuation of drawing 2.

[Drawing 4] It is a wave form chart explaining actuation of drawing 2.

[Drawing 5] It is the block diagram showing an example of the conventional double integral mold A/D converter.

[Drawing 6] It is the explanatory view of drawing 5 of operation.

[Description of Notations]

VX Analog strange input

Vref, VC Reference voltage

1 Integrator

4 Comparator

5 Counter Circuit

6 Electrical-Potential-Difference Cage

7 Attenuator

8 Switch Control Circuit

22-26 Switch

91 High Order Counter Gate

92 Low Order Counter Gate

[Detailed explanation of a design]

[0001]

[Industrial Application]

This design realizes the double integral mold A/D converter with which high resolution is obtained easily.

[0002]

[Description of the Prior Art]

Drawing 5 is the block diagram showing an example of the conventional double integral mold A/D converter. In drawing 5, 1 is an integrator and consists of an operational amplifier 11, a switch 12, and a capacitor 13. The non-inversed input terminal of an operational amplifier 11 is connected to a ground, and the switch 12 and the capacitor 13 are connected to juxtaposition between the inversed

input terminal and the output terminal. The switch 21 and resistance 31 by which the series connection was carried out are minded [of this integrator 1], and it is the reference voltage Vref of plus. The switch 22 and resistance 32 by which the series connection was carried out while being inputted are minded, and it is reference voltage-Vref of minus. It is inputted, the switch 23 and resistance 32 by which the series connection was carried out are minded further, and it is the analog strange electrical potential difference Vx. It is inputted. 4 is the comparator which consisted of operational amplifiers, a non-inversed input terminal is connected to a ground, an inversed input terminal is connected to the output terminal of an integrator 1, and the output terminal is connected to the counter 5.

[0003]

In such a configuration, drawing 6 is the explanatory view of drawing 5 of operation. In an initial state, a switch 12 is ON, and if A/D-conversion actuation starts, it will become off. And in A/D-conversion actuation, a switch 21 is interlocked with switches 22 and 23, and off actuation is switched on and carried out complementary. That is, a switch 21 is turned OFF, switches 22 and 23 are turned ON, and A/D-conversion actuation is reference voltage-Vref of minus. Analog strange electrical potential difference Vx Time amount t_1 which integrates with the sum A switch 21 is turned ON, switches 22 and 23 are turned OFF, and it is the reference voltage Vref of plus. Time amount t_2 which carries out a reverse integral It is divided. Time amount t_2 By measuring with a counter 5, it is the analog strange electrical potential difference Vx. It is convertible for digital data.

[0004]

[Problem(s) to be Solved by the Device]

However, although the clock frequency of a counter needed to be raised in order to shorten a conversion time in a configuration like the double integral mold A/D converter shown in the above-mentioned conventional technique, a clock frequency was not made as for making it high to infinity from the limitation of a circuit, but the thing of a high resolution had the technical problem that a conversion time was long.

[0005]

This design is accomplished based on the technical problem of the above-mentioned conventional technique, and it aims at offering a high speed and a double high resolution integral mold A/D converter.

[0006]

[Means for Solving the Problem]

Configuration of this design for solving the above-mentioned technical problem Integrator The 1st switch which inputs reference voltage VR into this integrator selectively, The 2nd switch which inputs the analog strange electrical potential difference VX into

said integrator selectively, The attenuator which the output V_a and reference voltage V_C of said integrator are inputted, and outputs $(V_a - V_C) / k + V_C$, The electrical-potential-difference cage which will hold the electrical potential difference in front of that if the output V_a of said integrator is inputted through the 3rd switch, input voltage is outputted when this 3rd switch is ON, and turned off, The comparator which compares said reference voltage V_C inputted through the output of this electrical-potential-difference cage, the output of said attenuator inputted through the 4th switch, and the 5th switch, The switch control circuit which gives said control signal of the 1st - the 5th switch, The high order counter gate which the output of said comparator is inputted, and passes or intercepts a clock to the high order counter of a counter circuit, The low order counter gate which the output of said comparator is inputted, and passes or intercepts a clock to the low order counter of a counter circuit It is characterized by considering as the configuration which it had.

[0007]

[Function]

Since resolution can be improved by performing the reverse integral of the error after high-order-bit conversion, even if it is a high resolution, a conversion time does not become long from the conventional thing.

[0008]

[Example]

Hereafter, this design is explained based on a drawing.

Drawing 1 is the block block diagram of the double integral mold A/D converter of this design. In addition, the explanation which gives the same sign to the same element as drawing 5, and overlaps in drawing 1 is omitted. In drawing 1, a switch and 6 are electrical-potential-difference cages, and if input voltage is outputted and a switch 24 is turned off when a switch 24 is ON, the reference voltage from which V_C serves as criteria of conversion termination of a high order bit, and 24-26 will hold the electrical potential difference in front of that. 7 is an attenuator, considers the output V_a and reference voltage V_C of an integrator 1 as an input, and outputs $(V_a - V_C) / k + V_C$ (k is a multiplier). A comparator 4 measures the output of the electrical-potential-difference cage 6, and the output of switches 25 and 26. 8 is a switch control circuit and gives the control signal of switches 22-26. 91 is the high order counter gate, and passes or intercepts a clock to the high order counter of a counter circuit 5 with the output of a comparator 4. 92 is the low order counter gate, and passes or intercepts a clock to the low order counter of a counter circuit 5 with the output of a comparator 4.

[0009]

Here, drawing 2 is the example of drawing 1 equipment, and shows

the example of a 16-bit A/D converter. In addition, the explanation which gives the same sign to the same element as drawing 1, and overlaps in drawing 2 is omitted. In drawing 2, 61 is 71, and the capacitor for electrical-potential-difference maintenance and 72 are attenuators, and let the magnitude be the attenuator 71:attenuator 72= 1:7. A 13-bit rise counter and low order counter 5b of high order counter 5a are the down counters of a triplet. Moreover, the relation of reference voltages Vref and VC is, when a clock period is set to T. $VC = T \cdot Vref / C \cdot R$, however C: Capacity of a capacitor 13 R: Consider as the resistance of resistance 32.

[0010]

In such a configuration, drawing 3 and drawing 4 are the wave form charts explaining actuation of drawing 2, and drawing 4 is the wave form chart of each part which expanded near [time-of-day t2] drawing 3. In drawing 3 and drawing 4, as for an integrating capacitor 13, switches 24, 26, and 12 discharge by ON by the initial state. At time of day t1, ON and a switch 12 are turned off for a switch 23 from time of day t0, and it integrates with the analog strange input VX.

[0011]

If it supposes that the time amount $T_1 (=t_1 - t_0)$ at this time is fixed and carries out by n times the clock period T $T_1 = n \cdot T$, however n become integral relation, and are the output voltage V_a (** in drawing 2) of the integrator 1 in time of day t1. It is expressed with $V_a(t_1) = - (n, \text{traveler's check, andR})$ and $VX = VO$.

[0012]

From time of day t1, at time of day t2, a switch 23 is turned off and a reverse integral is turned off for a switch 22 as ON. If time of day t2 is time of day when the following clock which the output of a comparator 4 reversed starts, it supposes that the time amount $T_2 (=t_2 - t_1)$ at this time is fixed and it carries out by m times the clock period T $T_2 = m \cdot T$, however m -- integral relation -- becoming -- output voltage V_a (** in drawing 2) of the integrator 1 in time of day t2 $V_a(t_2) = VO - (m, \text{traveler's check, andR}) / VR$ -- moreover -- It is expressed with $0 \leq V_a(t_2) < VC = (\text{traveler's check andR})$ and VR.

[0013]

For this reason, 13 bits of high orders of an A/D-conversion result are obtained by counting the value of m by high order counter 5a.

$(m/n) - VR \leq VX < \{(m+1)/n\}$ and VR [0014]

From time of day t2, OFF and a switch 25 are turned on for switches 24 and 26. Thereby, the output voltage V_a (** in drawing 2) of the integrator 1 at time-of-day t 2:00 is held to the capacitor 61 for electrical-potential-difference maintenance, and the plus input of a comparator 4 is connected to attenuators 71 and 72. Here, if output ** of an integrator 1 makes T four time amount

which crosses reference level from time of day t_2 and T_{four}/T will be changed by the triplet, the lower bit of A/D conversion will be obtained.

[0015]

The negative input voltage V_b (** in drawing 2) of a comparator 4 is after time of day t_2 . $V_b=V_X - (m/n) V_R = (T-four/T) V_C$ one side and plus input electrical potential difference V_y (** in drawing 2) of a comparator 4. It is expressed $V_y = (V_a - V_C) / 8 + V_C$. Moreover, if it will suppose that the time amount T_6 ($t_3 - t_2$) at this time is fixed if time of day when the following clock which the output of a comparator 4 reversed starts is set to t_3 , and it carries out by p times the clock period T $T_6 = p - T$, however p become integral relation, and are the plus input electrical potential difference V_y of the comparator 4 in time of day t_3 . $V_y = V_C - (1/8)$ and $\{(pT + T_4) / CR\} V_R = (TV_R / CR) \{1 - (1/8) (p + T_4 / T)\}$

It is expressed. Since T_{four}/T is besides smaller than 1 in a formula It is set to $T_{four}/T = 1 - (1/8) p$.

[0016]

Therefore, it is an A/D-conversion result by carrying out the down count of the p by low order counter 5b. $(8 - p)$ It is set to $+mx8$.

[0017]

Thus, from the conventional thing, since resolution can be improved by performing the reverse integral of the error after high-order-bit conversion according to the above-mentioned example, even if it is a high resolution, a conversion time does not become long.

[0018]

[Effect of the Device]

As mentioned above, as concretely explained with the example, according to this design, a high speed and a double high resolution integral mold A/D converter are realizable.

(19)日本国特許庁 (JP)

(12) 公開実用新案公報 (U)

(11)実用新案出願公開番号

実開平5-78041

(43)公開日 平成5年(1993)10月22日

(51)Int.Cl.⁵
H 03 M 1/52

識別記号 庁内整理番号
9065-5J

F I

技術表示箇所

審査請求 未請求 請求項の数1(全4頁)

(21)出願番号 実開平4-16014

(22)出願日 平成4年(1992)3月26日

(71)出願人 000006507

横河電機株式会社

東京都武蔵野市中町2丁目9番32号

(72)考案者 的場 貴史

東京都武蔵野市中町2丁目9番32号 横河
電機株式会社内

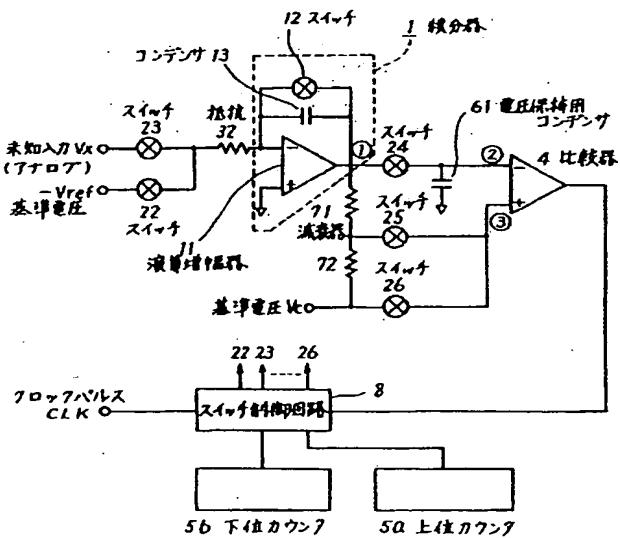
(74)代理人 弁理士 小沢 信助

(54)【考案の名称】 2重積分型A/D変換器

(57)【要約】 (修正有)

【目的】 高速で、しかも高分解能にする。

【構成】 初期状態では、スイッチ24, 26, 12がオンで、積分コンデンサ13は放電される。次にスイッチ23をオン、スイッチ12をオフして未知入力Vxの積分を行う。次にスイッチ23をオフ、スイッチ22をオンとして逆積分する時間を周期Tのm倍として、mの値を上位カウンタ5aによってカウントすることにより、A/D変換した上位ビットが得られる。次にスイッチ24, 26をオフ、スイッチ25をオンにし、積分器1の出力電圧Vaを電圧保持用コンデンサ61に保持し、比較器4の正入力を減衰器71, 72に接続し、積分器1の出力が基準レベルをクロスするまでの時間から、A/D変換の下位ビットが得られる。このようにして、上位ビット変換後、その誤差を逆積分することにより、高分解能であっても変換時間が長くなることはない。



【実用新案登録請求の範囲】

【請求項1】 積分器と、

この積分器に選択的に基準電圧 V_R を入力する第1のスイッチと、

前記積分器に選択的にアナログ未知電圧 V_x を入力する第2のスイッチと、

前記積分器の出力 V_a と基準電圧 V_c が入力され、 $(V_a - V_c) / k + V_c$ を出力する減衰器と、

前記積分器の出力 V_a が第3のスイッチを介して入力され、この第3のスイッチがオンの時は入力電圧を出力し、オフになるとその直前の電圧を保持する電圧保持器と、

この電圧保持器の出力と、第4のスイッチを介して入力される前記減衰器の出力および第5のスイッチを介して入力される前記基準電圧 V_c とを比較する比較器と、

前記第1～第5のスイッチの制御信号を与えるスイッチ制御回路と、

前記比較器の出力が入力され、カウンタ回路の上位カウンタにクロックを通過または遮断する上位カウンタゲートと、

前記比較器の出力が入力され、カウンタ回路の下位カウンタにクロックを通過または遮断する下位カウンタゲートとを備えた構成としたことを特徴とする2重積分型A

／D変換器。

【図面の簡単な説明】

【図1】本考案の2重積分型A／D変換器のブロック構成図である。

【図2】図1装置の具体例を示す構成図である。

【図3】図2の動作を説明する波形図である。

【図4】図2の動作を説明する波形図である。

【図5】従来の2重積分型A／D変換器の一例を示す構成図である。

【図6】図5の動作説明図である。

【符号の説明】

V_x アナログ未知入力

V_{ref} , V_c 基準電圧

1 積分器

4 比較器

5 カウンタ回路

6 電圧保持器

7 減衰器

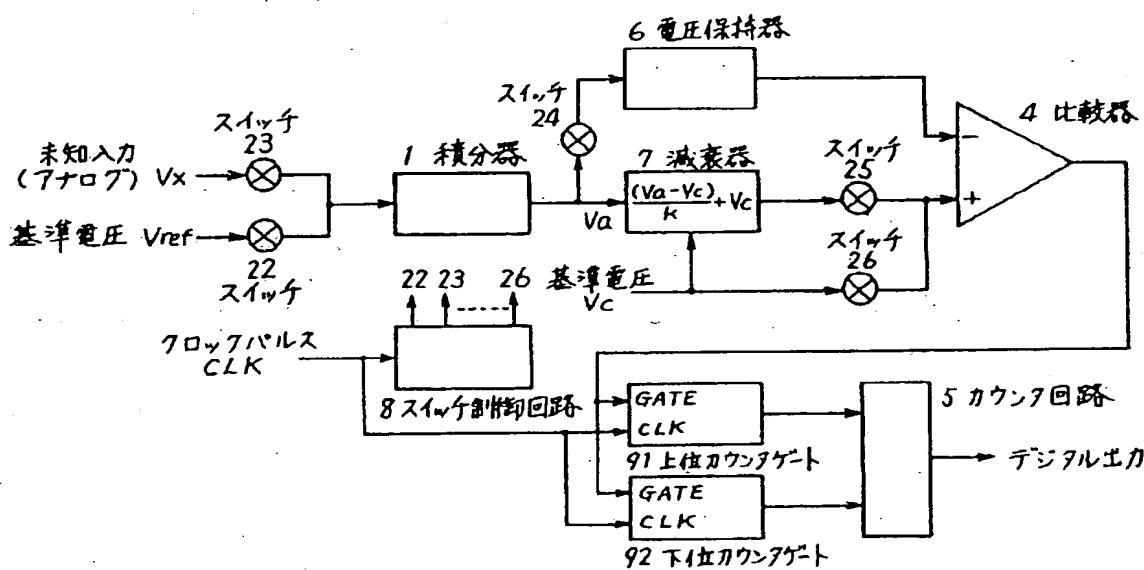
8 スイッチ制御回路

20 22～26 スイッチ

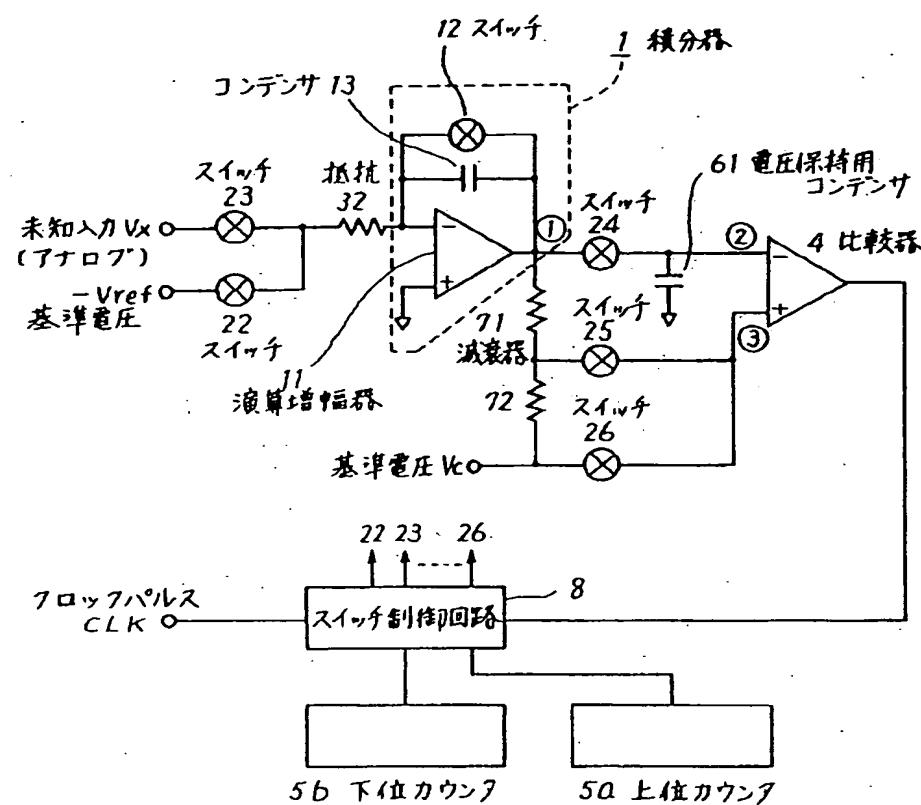
91 上位カウンタゲート

92 下位カウンタゲート

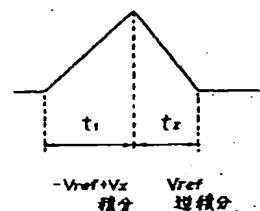
【図1】



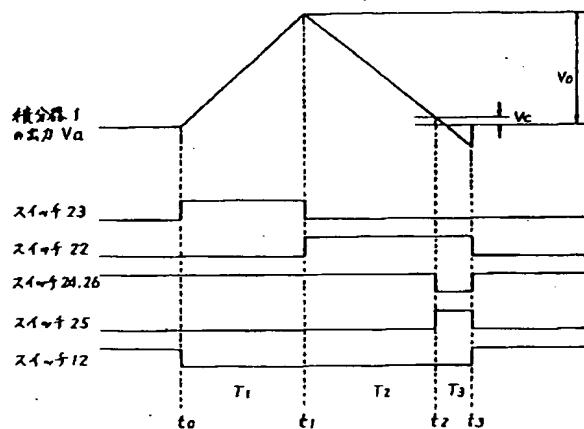
【図2】



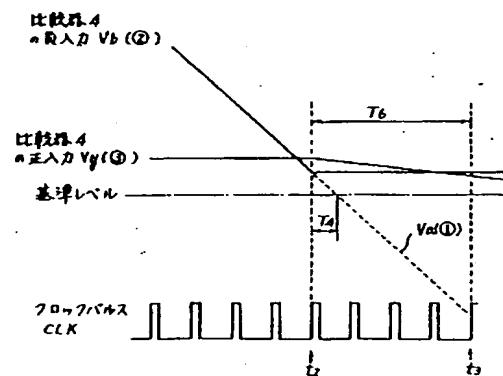
【図6】



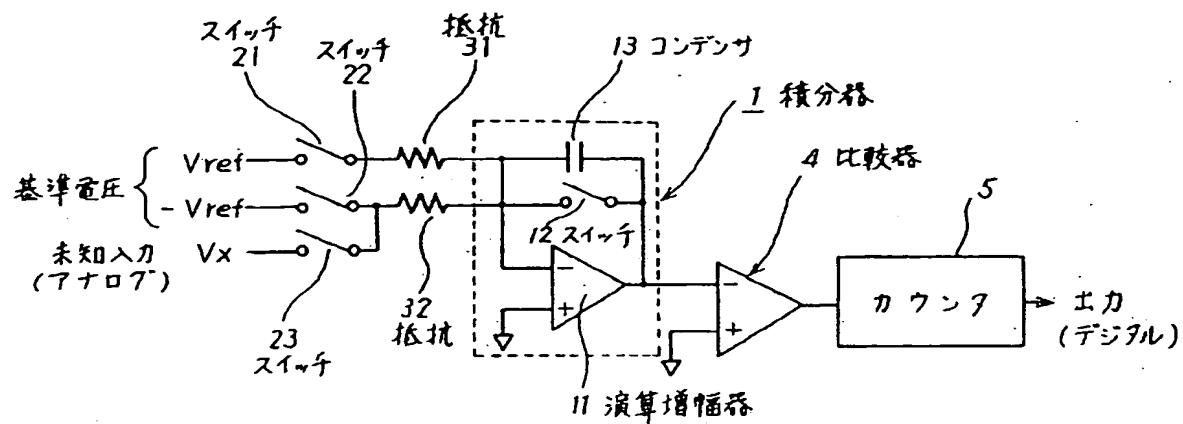
【図3】



【図4】



【図5】



【考案の詳細な説明】**【0001】****【産業上の利用分野】**

本考案は、容易に高い分解能が得られる2重積分型A/D変換器を実現するものである。

【0002】**【従来の技術】**

図5は従来の2重積分型A/D変換器の一例を示す構成図である。図5において、1は積分器であり、演算增幅器11とスイッチ12とコンデンサ13などで構成されている。演算增幅器11の非反転入力端子はアースに接続され、反転入力端子と出力端子の間にはスイッチ12とコンデンサ13が並列に接続されている。この積分器1の入力端子には直列接続されたスイッチ21と抵抗31を介してプラスの基準電圧 V_{ref} が入力されると共に、直列接続されたスイッチ22と抵抗32を介してマイナスの基準電圧 $-V_{ref}$ が入力され、更に、直列接続されたスイッチ23と抵抗32を介してアナログ未知電圧 V_x が入力されている。4は演算增幅器で構成された比較器であり、非反転入力端子はアースに接続され、反転入力端子は積分器1の出力端子に接続され、出力端子はカウンタ5に接続されている。

【0003】

このような構成において、図6は図5の動作説明図である。スイッチ12は初期状態ではオンで、A/D変換動作が始まるとオフになる。そして、A/D変換動作において、スイッチ21はスイッチ22, 23と連動して相補的にオン、オフ駆動される。すなわち、A/D変換動作は、スイッチ21をオフにしてスイッチ22, 23をオンにして、マイナスの基準電圧 $-V_{ref}$ とアナログ未知電圧 V_x の和を積分する時間 t_1 と、スイッチ21をオンにしてスイッチ22, 23をオフにして、プラスの基準電圧 V_{ref} で逆積分する時間 t_2 とに分けられる。時間 t_2 をカウンタ5で測定することにより、アナログ未知電圧 V_x をデジタルデータに変換できる。

【0004】

【考案が解決しようとする課題】

しかしながら、上記従来技術に示す2重積分型A/D変換器のような構成の場合、変換時間を短縮するためには、カウンタのクロック周波数を上げる必要があるが、クロック周波数を無限に高くすることは回路の限界からできず、高分解能のものは変換時間が長いという課題があった。

【0005】

本考案は上記従来技術の課題を踏まえて成されたものであり、高速、高分解能な2重積分型A/D変換器を提供することを目的としたものである。

【0006】

【課題を解決するための手段】

上記課題を解決するための本考案の構成は、

積分器と、

この積分器に選択的に基準電圧 V_R を入力する第1のスイッチと、

前記積分器に選択的にアナログ未知電圧 V_x を入力する第2のスイッチと、

前記積分器の出力 V_a と基準電圧 V_c が入力され、 $(V_a - V_c) / k + V_c$ を出力する減衰器と、

前記積分器の出力 V_a が第3のスイッチを介して入力され、この第3のスイッチがオンの時は入力電圧を出力し、オフになるとその直前の電圧を保持する電圧保持器と、

この電圧保持器の出力と、第4のスイッチを介して入力される前記減衰器の出力および第5のスイッチを介して入力される前記基準電圧 V_c とを比較する比較器と、

前記第1～第5のスイッチの制御信号を与えるスイッチ制御回路と、

前記比較器の出力が入力され、カウンタ回路の上位カウンタにクロックを通過または遮断する上位カウンタゲートと、

前記比較器の出力が入力され、カウンタ回路の下位カウンタにクロックを通過または遮断する下位カウンタゲートと

を備えた構成としたことを特徴とするものである。

【0007】

【作用】

上位ビット変換後、その誤差の逆積分を行うことにより、分解能を向上できるため、従来のものより高分解能であっても、変換時間が長くなることはない。

【0008】

【実施例】

以下、本考案を図面に基づいて説明する。

図1は本考案の2重積分型A/D変換器のブロック構成図である。なお、図1において図5と同一要素には同一符号を付して重複する説明は省略する。図1において、 V_c は上位ビットの変換終了の基準となる基準電圧、24～26はスイッチ、6は電圧保持器であり、スイッチ24がオンの時は、入力電圧を出力し、スイッチ24がオフになると、その直前の電圧を保持する。7は減衰器であり、積分器1の出力 V_a と基準電圧 V_c を入力とし、 $(V_a - V_c) / k + V_c$ （kは係数）を出力する。比較器4は電圧保持器6の出力とスイッチ25、26の出力を比較する。8はスイッチ制御回路であり、スイッチ22～26の制御信号を与える。91は上位カウンタゲートであり、比較器4の出力により、カウンタ回路5の上位カウンタにクロックを通過または遮断する。92は下位カウンタゲートであり、比較器4の出力により、カウンタ回路5の下位カウンタにクロックを通過または遮断する。

【0009】

ここで、図2は図1装置の具体例であり、16ビットA/D変換器の例を示す。なお、図2において図1と同一要素には同一符号を付して重複する説明は省略する。図2において、61は電圧保持用コンデンサ、71、72は減衰器であり、その大きさは、減衰器71：減衰器72 = 1 : 7とする。上位カウンタ5aは13ビットのアップカウンタ、下位カウンタ5bは3ビットのダウンカウンタである。また、基準電圧 V_{ref} と V_c の関係は、クロック周期をTとすると、

$$V_c = T \cdot V_{ref} / C \cdot R$$

ただし、C：コンデンサ13の容量

R：抵抗32の抵抗値

とする。

【0010】

このような構成において、図3、図4は図2の動作を説明する波形図であり、図4は図3の時刻 t_2 付近を拡大した各部の波形図である。図3、図4において、初期状態では、スイッチ24, 26, 12がオンで、積分コンデンサ13は放電される。時刻 t_0 から時刻 t_1 では、スイッチ23をオン、スイッチ12をオフして、アナログ未知入力 V_x の積分を行う。

【0011】

この時の時間 T_1 ($= t_1 - t_0$) は一定とし、クロック周期 T の n 倍とすると

$$T_1 = n \cdot T$$

ただし、 n は整数の関係となり、時刻 t_1 での積分器1の出力電圧 V_a (図2中①) は、

$$V_a(t_1) = - (n \cdot T / C \cdot R) \cdot V_x = V_0$$

で表される。

【0012】

時刻 t_1 から時刻 t_2 では、スイッチ23をオフ、スイッチ22をオンとして逆積分を行う。時刻 t_2 は比較器4の出力が反転した次のクロックが立ち上がる時刻であり、この時の時間 T_2 ($= t_2 - t_1$) は一定とし、クロック周期 T の m 倍とすると、

$$T_2 = m \cdot T$$

ただし、 m は整数の関係となり、時刻 t_2 での積分器1の出力電圧 V_a (図2中①) は、

$$V_a(t_2) = V_0 - (m \cdot T / C \cdot R) / V_R$$

また、

$$0 \leq V_a(t_2) < V_C = (T / C \cdot R) \cdot V_R$$

で表される。

【0013】

このため、 m の値を上位カウンタ5aによってカウントすることにより、A/D 変換結果の上位13ビットが得られる。

$$(m/n) \cdot V_R \leq V_x < \{(m+1)/n\} \cdot V_R$$

【0014】

時刻 t_2 からは、スイッチ 24, 26 をオフ、スイッチ 25 をオンする。これにより、時刻 t_2 時の積分器 1 の出力電圧 V_a (図 2 中①) を電圧保持用コンデンサ C_1 に保持し、比較器 4 の正入力を減衰器 71, 72 に接続する。ここで、時刻 t_2 から積分器 1 の出力①が基準レベルをクロスする時間を T_4 とすると、 T_4/T を 3 ビットで変換すれば、A/D 変換の下位ビットが得られる。

【0015】

比較器 4 の負入力電圧 V_b (図 2 中②) は、時刻 t_2 以降は、

$$V_b = V_x - (m/n) V_R = (T_4/T) V_C$$

一方、比較器 4 の正入力電圧 V_y (図 2 中③) は、

$$V_y = (V_a - V_C) / 8 + V_C$$

と表される。また、比較器 4 の出力が反転した次のクロックが立ち上がる時刻を t_3 とすると、この時の時間 T_6 ($t_3 - t_2$) は一定とし、クロック周期 T の p 倍とすると、

$$T_6 = p \cdot T$$

ただし、 p は整数の関係となり、時刻 t_3 での比較器 4 の正入力電圧 V_y は、

$$\begin{aligned} V_y &= V_C - (1/8) \cdot \{(pT + T_4) / CR\} V_R \\ &= (T V_R / CR) \{1 - (1/8) (p + T_4/T)\} \end{aligned}$$

と表される。この上式において、 T_4/T は、1 より小さいので、

$$T_4/T = 1 - (1/8) p$$

となる。

【0016】

故に、 p を下位カウンタ 5b によってダウンカウントすることにより、A/D 変換結果は、

$$(8-p) + m \times 8$$

となる。

【0017】

このように上記実施例によれば、上位ビット変換後、その誤差の逆積分を行う

ことにより、分解能を向上できるため、従来のものより高分解能であっても、変換時間が長くならないことはない。

【0018】

【考案の効果】

以上、実施例と共に具体的に説明したように、本考案によれば、高速、高分解能な2重積分型A/D変換器を実現できる。